



# BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

### COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 19 AOUT 2003

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

Martine PLANCHE

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

INSTITUT  
NATIONAL DE  
LA PROPRIETE  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint Petersbourg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
www.inpi.fr

**THIS PAGE BLANK (USPTO)**



INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

## BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

N° 11354\*03

REQUÊTE EN DÉLIVRANCE  
page 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 e W / 210502

REMISE DES PIÈCES DATE	27 FEV 2003	Réervé à l'INPI
LIEU	13 INPI MARSEILLE	
N° D'ENREGISTREMENT	0302398	
NATIONAL ATTRIBUÉ PAR L'INPI		
DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI	27 FFV. 2003	
Vos références pour ce dossier (facultatif) 100208 FR		

1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE  
À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE

OMNIPAT  
MARCHAND André  
24 Place des Martyrs de la Résistance  
13100 AIX EN PROVENCE

Confirmation d'un dépôt par télécopie		<input type="checkbox"/> N° attribué par l'INPI à la télécopie
2 NATURE DE LA DEMANDE		
Cochez l'une des 4 cases suivantes		
Demande de brevet		<input checked="" type="checkbox"/>
Demande de certificat d'utilité		<input type="checkbox"/>
Demande divisionnaire		<input type="checkbox"/>
Demande de brevet initiale ou demande de certificat d'utilité initiale		<input type="checkbox"/> N° _____ Date _____
Transformation d'une demande de brevet européen Demande de brevet initiale		<input type="checkbox"/> N° _____ Date _____

## 3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)

Mémoire Flash comprenant un algorithme de vérification d'effacement intégré dans un algorithme de programmation

4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE	
<input type="checkbox"/> Pays ou organisation Date _____ N° _____ <input type="checkbox"/> Pays ou organisation Date _____ N° _____ <input type="checkbox"/> Pays ou organisation Date _____ N° _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	

5 DEMANDEUR (Cochez l'une des 2 cases)		
<input checked="" type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique		
Nom ou dénomination sociale		
Prénoms		
Forme juridique		
N° SIREN		
Code APE-NAF		
Domicile ou siège	Rue	29 Boulevard Romain Rolland
	Code postal et ville	19 211 201 MONTROUGE
	Pays	FRANCE
Nationalité		
N° de téléphone (facultatif)		
Adresse électronique (facultatif)		

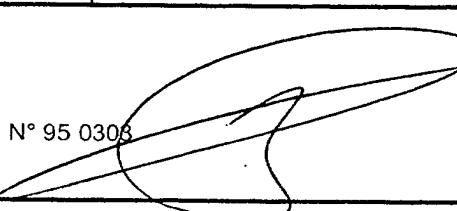
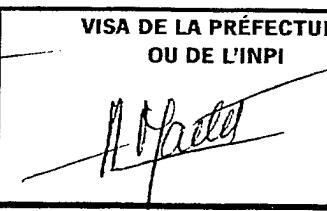
 S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»Remplir impérativement la 2<sup>me</sup> page

**BREVET D'INVENTION**  
**CERTIFICAT D'UTILITÉ**
**REQUÊTE EN DÉLIVRANCE**  
 page 2/2



REMISE DES PIÈCES	Réervé à l'INPI
DATE	27 FEV 2003
LIEU	13 INPI MARSEILLE
N° D'ENREGISTREMENT	0302398
NATIONAL ATTRIBUÉ PAR L'INPI	

DB 540 W / 210502

<b>6 MANDATAIRE</b>	
Nom: MARCHAND Prénom: André Cabinet ou Société: OMNIPAT  N° de pouvoir permanent et/ou de lien contractuel	
Adresse	Rue: 24 Place des Martyrs de la Résistance
	Code postal et ville: 13100 AIX EN PROVENCE
	Pays: FRANCE
N° de téléphone (facultatif): 04.42.99.06.60	
N° de télécopie (facultatif): 04.42.99.06.69	
Adresse électronique (facultatif):	
<b>7 INVENTEUR(S)</b>	
Les inventeurs sont nécessairement des personnes physiques.  Les demandeurs et les inventeurs sont les mêmes personnes	
<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)	
<b>8 RAPPORT DE RECHERCHE</b>	
Établissement immédiat ou établissement différé	
<input checked="" type="checkbox"/> <input type="checkbox"/>	
Paiement échelonné de la redevance (en deux versements)	
<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non	
<b>9 RÉDUCTION DU TAUX DES REDEVANCES</b>	
Uniquement pour les personnes physiques <input type="checkbox"/> Requise pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention (joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence): AG	
<b>10 SÉQUENCES DE NUCLEOTIDES ET/OU D'ACIDES AMINÉS</b>	
<input type="checkbox"/> Cochez la case si la description contient une liste de séquences	
Le support électronique de données est joint  La déclaration de conformité de la liste de séquences sur support papier avec le support électronique de données est jointe	
<input type="checkbox"/> <input type="checkbox"/>	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes	
<b>11 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire)</b>	
MARCHAND André - CPI N° 95 0308 OMNIPAT	
<b>VISA DE LA PRÉFECTURE OU DE L'INPI</b>	
 	

MEMOIRE FLASH COMPRENANT UN ALGORITHME DE VERIFICATION  
D'EFFACEMENT INTEGRE DANS UN ALGORITHME DE PROGRAMMATION

La présente invention concerne les mémoires effaçables et programmables électriquement en circuits intégrés, et plus particulièrement le test de ces mémoires avant commercialisation.

5 La présente invention concerne également la mise en oeuvre d'un test dit de "blank verify", ou test de vérification d'effacement, dans les mémoires Flash à entrée/sortie série.

10 Le test d'une mémoire effaçable et programmable électriquement intégrée sur une micro-plaquette de silicium est une étape essentielle permettant de détecter les circuits intégrés présentant des défauts de fabrication.

15 Parmi les divers tests connus, le test de vérification d'effacement permet de détecter des défauts de fabrication tels des courts-circuits dus à des filaments de métaux ou de silicium polycristallin résiduels déposés involontairement à la surface des circuits intégrés.

20 Ce test est appliqué généralement à toutes les pages d'une mémoire et comprend, pour chaque page, les étapes suivantes :

- effacement complet de la page,
- programmation de la page mot par mot, et vérification 25 avant chaque programmation d'un mot que la programmation du mot adjacent n'a pas affecté les cellules mémoire à programmer,
- rejet de la mémoire si une cellule mémoire présumée dans l'état effacé contient un bit dont la valeur logique 30 correspond à l'état programmé.

Ce test est illustré sur les figures 1A, 1B, 1C. Sur la figure 1A, une page d'une mémoire composée de mots de 8 bits ou octets, a été entièrement effacée et ne

comprend ainsi que des mots égaux à 1 (le 1 logique étant considéré ici et dans ce qui suit comme la valeur logique d'effacement, soit la valeur logique contenue dans une cellule mémoire dans l'état effacé). Sur la figure 1B, le 5 premier mot  $W_0$  de la page a été mis à 0 ce qui correspond à une programmation de toutes les cellules mémoire contenant les bits du mot  $W_0$ . Le mot adjacent  $W_1$  ou deuxième octet de la page ne comprend que des 1, ainsi que les octets suivants de la page, de sorte qu'aucun 10 défaut n'est constaté. La figure 1C représente un cas d'échec du test de vérification d'effacement. Après avoir programmé le énième mot  $W_n$  de la page, le mot suivant  $W_{n+1}$  est lu et comprend l'octet "01111111" au lieu de l'octet "11111111". Cela signifie qu'un court-circuit a 15 entraîné la programmation involontaire de la première cellule mémoire du mot  $W_{n+1}$  pendant la programmation du mot  $W_n$  (ou d'un autre mot, bien que les courts-circuits apparaissent généralement entre cellules mémoire adjacentes). Une mémoire présentant ce type de 20 dysfonctionnement est ainsi rejetée.

Sur une mémoire Flash PMEM à entrées/sorties parallèles, du type représenté en figure 2A, la mise en œuvre de ce test ne présente aucune difficulté particulière. La mémoire PMEM comprend une entrée 25 d'adresse parallèle ADIN, des entrées/sorties de données parallèles DTIO, une entrée pour recevoir une commande d'écriture WRITE, une entrée pour recevoir une commande de lecture READ, et une entrée de sélection CHSEL. Après effacement d'une page, la séquence de test de 30 vérification d'effacement est faite mot à mot et comprend l'adressage du mot cible, la lecture du mot cible pour vérifier que ce mot ne comprend que des 1, puis la mise à 0 du mot (programmation de toutes les cellules mémoire correspondantes).

35 Sur une mémoire Flash SMEM à entrée/sortie série, du type représenté en figure 2B, la mise en œuvre d'un tel test présente par contre l'inconvénient de nécessiter

un temps non négligeable. Une telle mémoire ne comporte qu'une entrée série pour recevoir des données DTIN, une sortie série pour émettre des données DTOUT, et une entrée de sélection CHSEL. L'application d'une commande 5 de lecture nécessite l'application bit à bit sur l'entrée série d'un code de l'opération à effectuer, de l'adresse du mot à lire, soit en général au moins 4 octets (1 octet de commande et 3 octets d'adresse), puis la lecture bit à bit du mot sur la sortie DTOUT. Il en est de même pour 10 l'écriture d'un mot, qui nécessite l'application bit à bit de la valeur du mot à écrire.

Ainsi, un test de vérification d'effacement est long à mettre en œuvre sur une mémoire Flash série et grève le prix de revient des mémoires série en 15 ralentissant les cadences de production, les étapes de test faisant partie du processus de fabrication.

La présente invention vise à pallier cet inconvénient.

La présente invention se fonde sur le fait qu'une 20 mémoire Flash du type précité comprend généralement un dispositif de programmation agencé pour enregistrer une donnée dans une cellule mémoire en exécutant un cycle de vérification-programmation comprenant les étapes suivantes :

- 25 a) lire la cellule mémoire devant recevoir la donnée,
- b) comparer la donnée lue dans la cellule mémoire et la donnée à enregistrer,
- c) appliquer à la cellule mémoire une impulsion d'une tension de programmation, si la donnée à enregistrer 30 présente une valeur logique correspondant à une cellule mémoire programmée et si la donnée lue dans la cellule mémoire présente une valeur logique correspondant à une cellule mémoire effacée.

Ce cycle de vérification-programmation est répété 35 jusqu'à ce que la donnée lue soit égale à la donnée à enregistrer, sans excéder N cycles.

Dans une telle mémoire, l'opération de programmation comprend donc une lecture préalable de la cellule mémoire, puis l'application d'une impulsion de tension de programmation, puis une nouvelle lecture de la 5 cellule mémoire suivie de l'application d'une nouvelle impulsion de tension de programmation, et ainsi de suite jusqu'à ce que la cellule mémoire soit programmée.

La présente invention se base sur le fait que la première lecture de la cellule mémoire est faite avant 10 application de la première impulsion de tension de programmation, et reflète donc l'état programmé ou effacé de la cellule mémoire. L'idée de la présente invention est ainsi d'intégrer une étape de vérification d'effacement dans une opération de programmation en 15 vérifiant que la valeur de la donnée lue avant l'application de la première impulsion de tension de programmation, correspond bien à une cellule mémoire effacée. Ainsi, si la donnée lue est égale à 1, alors la donnée est valable au sens du test de vérification 20 d'effacement.

Plus particulièrement, la présente invention prévoit une mémoire effaçable et programmable électriquement, comprenant des cellules mémoire et un dispositif de vérification-programmation agencé pour 25 enregistrer une donnée dans une cellule mémoire en répétant un cycle de vérification-programmation jusqu'à ce que la donnée soit enregistrée dans la cellule mémoire, sans excéder  $N$  cycles, un cycle de vérification-programmation comprenant une étape de lecture de la 30 cellule mémoire puis l'application d'une impulsion d'une tension de programmation à la cellule mémoire si la donnée à enregistrer présente une valeur logique de programmation et si la donnée lue dans la cellule mémoire présente une valeur logique d'effacement, la mémoire 35 comprenant un dispositif de vérification d'effacement agencé pour : fournir un signal de vérification d'effacement ayant une valeur déterminée lorsque la

donnée lue dans une cellule mémoire au cours du premier cycle de vérification-programmation d'une opération de programmation de la cellule mémoire, présente une valeur logique d'effacement, et verrouiller le signal de 5 vérification d'effacement avant application de la première impulsion de tension de programmation à la cellule mémoire.

Selon un mode de réalisation, le dispositif de vérification d'effacement est agencé pour fournir un 10 signal de vérification d'effacement ayant la valeur déterminée lorsqu'une donnée à enregistrer présente elle-même une valeur logique d'effacement.

Selon un mode de réalisation, la mémoire comprend un nombre déterminé d'amplificateurs de lecture pour lire 15 simultanément un nombre correspondant de cellules mémoire sélectionnées pendant une opération d'enregistrement de données dans les cellules mémoire sélectionnées, et dans laquelle le dispositif de vérification d'effacement comprend un nombre correspondant de circuits de 20 vérification d'effacement, chaque circuit de vérification d'effacement étant relié à un amplificateur de lecture et fournissant un signal individuel de vérification d'effacement d'une cellule mémoire ayant la valeur déterminée lorsque la donnée lue dans la cellule mémoire 25 au cours du premier cycle de vérification-programmation de la cellule mémoire présente la valeur logique d'effacement.

Selon un mode de réalisation, un circuit de vérification d'effacement comprend une porte logique 30 recevant sur une entrée la donnée lue au cours du premier cycle de vérification-programmation de la cellule mémoire, et fournissant le signal individuel de vérification d'effacement.

Selon un mode de réalisation, la porte logique est 35 agencée pour combiner la donnée lue dans la cellule mémoire au cours du premier cycle de vérification-programmation de la cellule mémoire et la donnée à

enregistrer dans la cellule mémoire, le signal individuel de vérification d'effacement étant fonction du résultat de la combinaison.

5 Selon un mode de réalisation, la porte logique est de type OU ou NON OU.

10 Selon un mode de réalisation, le dispositif de vérification d'effacement comprend un circuit logique pour collecter l'ensemble des signaux individuels de vérification d'effacement fournis par les circuits de vérification d'effacement, et fournir un signal collectif de vérification d'effacement d'une pluralité de cellules mémoire.

15 Selon un mode de réalisation, la mémoire comprend des moyens de verrouillage de la valeur du signal collectif de vérification avant application de la première impulsion de tension de programmation.

20 Selon un mode de réalisation, la mémoire comprend des moyens pour fournir une suite d'impulsions de signaux de vérification appliqués au dispositif de vérification-programmation, et pour fournir un signal de verrouillage de vérification d'effacement après émission de la première impulsion du signal de vérification.

25 La présente invention concerne également un procédé de test d'une mémoire effaçable et programmable électriquement, comprenant des cellules mémoire et un dispositif de vérification-programmation agencé pour effectuer une opération d'enregistrement d'une donnée dans une cellule mémoire en répétant un cycle de vérification-programmation jusqu'à ce que la donnée soit 30 enregistrée, sans excéder  $N$  cycles, un cycle de vérification-programmation comprenant une étape de lecture de la cellule mémoire devant recevoir la donnée puis l'application d'une impulsion d'une tension de programmation à la cellule mémoire si la donnée à 35 enregistrer dans la cellule mémoire présente une valeur logique de programmation et si la donnée lue dans la cellule mémoire présente une valeur logique d'effacement,

procédé comprenant les étapes suivantes : fournir un signal de vérification d'effacement ayant une valeur déterminée lorsque la donnée lue dans une cellule mémoire au cours du premier cycle de vérification-programmation 5 d'une opération de programmation de la cellule mémoire, présente une valeur logique d'effacement, et verrouiller le signal de vérification d'effacement avant application de la première impulsion de tension de programmation à la cellule mémoire.

10 Selon un mode de réalisation, le procédé comprend la production d'un signal de vérification d'effacement ayant la valeur déterminée lorsqu'une donnée à enregistrer présente elle-même la valeur logique d'effacement.

15 Selon un mode de réalisation, le procédé est appliqué à une mémoire comprenant un nombre déterminé d'amplificateurs de lecture permettant de lire simultanément un nombre correspondant de cellules mémoire sélectionnées pendant une opération d'enregistrement de 20 données dans ces cellules mémoire, et comprend la production d'un nombre correspondant de signaux individuels de vérification d'effacement pendant l'enregistrement de données dans un nombre correspondant de cellules mémoire.

25 Selon un mode de réalisation, le procédé comprend la combinaison des signaux individuels de vérification d'effacement pour fournir un signal collectif de vérification d'effacement d'une pluralité de cellules mémoire.

30 Selon un mode de réalisation, le procédé comprend le verrouillage du signal collectif de vérification d'effacement avant application de la première impulsion de tension de programmation.

35 Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante du procédé de l'invention et d'une mémoire effaçable et programmable

électriquement mettant en oeuvre ce procédé, faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

- les figures 1A, 1B, 1C précédemment décrites illustrent 5 un test de vérification d'effacement,
- les figures 2A, 2B précédemment décrites représentent schématiquement une mémoire à entrées/sorties parallèles et une mémoire à entrée/sortie série,
- la figure 3 représente une mémoire série effaçable et 10 programmable électriquement comprenant un dispositif de vérification-programmation classique,
- la figure 4 représente une mémoire série effaçable et programmable électriquement comprenant un dispositif de vérification-programmation classique et un dispositif de 15 vérification d'effacement selon l'invention,
- la figure 5 est le schéma logique de certains éléments du dispositif de vérification-programmation et du dispositif de vérification d'effacement représentés en figure 4, et
- 20 - les figures 6A à 6G sont des chronogrammes de signaux logiques intervenant dans une opération de programmation comprenant une étape de vérification d'effacement selon l'invention.

**25 Exemple de mémoire classique comprenant un dispositif de vérification-programmation**

La figure 3 représente une mémoire Flash série MEM1 de type classique, comprenant un dispositif de vérification-programmation de cellules mémoire.

La mémoire comprend un plan mémoire MA piloté par 30 un décodeur de ligne de mot WLDEC et un décodeur de colonne COLDEC. La mémoire est ici de type série et comprend un tampon d'entrée BUF1 à entrée série et sortie parallèle et un tampon de sortie BUF2 à entrée parallèle et sortie série. L'entrée série du tampon BUF1 est reliée 35 à une entrée de données DTIN de la mémoire et la sortie parallèle du tampon BUF1 est reliée à un bus de données DTB de la mémoire. L'entrée parallèle du tampon BUF2 est

reliée au bus de données DTB et la sortie série du tampon BUF2 est reliée à une sortie de données DTOUT de la mémoire. Le bus de données DTB est relié à un séquenceur SEQ, au décodeur de ligne de mot WLDEC et au décodeur de colonne COLDEC. Le séquenceur, à logique câblée ou à microprocesseur, exécute des instructions d'écriture ou de lecture de données reçues sous forme de codes instruction via l'entrée série DTIN.

Le plan mémoire MA est ici de type Flash et comprend des cellules mémoire formées par des transistors à grille flottante FGT. Le plan mémoire MA comprend des lignes de mot WLi et des lignes de bit BLk,j. Les lignes de bit sont regroupées en n colonnes électriques COLk (COL0, COL1, COL2,...COLn-1) k étant un indice de colonne allant de 0 à n-1. Chaque colonne électrique de rang k comprend J lignes de bit BLk,j, j étant un indice allant de 0 à J-1. Les lignes de bit BLk,j sont reliées aux drains de transistors à grille flottante FGT, tandis que les lignes de mot WLi sont reliées aux grilles de commande des transistors FGT. Les cellules mémoire reliées aux lignes de bit BLk,j d'une colonne COLk contiennent des bits de même poids. Ainsi, un mot binaire de n bits est enregistré dans n cellules se trouvant chacune dans une colonne électrique déterminée, conformément à une méthode classique d'entrelacement des mots binaires dans les mémoires Flash. Par ailleurs, une page de la mémoire est formée par l'ensemble des cellules mémoire reliées à la même ligne de mot WLi et comprend J mots binaires de n bits chacun, chaque bit d'un mot étant enregistré dans une colonne électrique.

Le décodeur COLDEC comprend n blocs de décodage CDk (CD0, CD1,...CDn-1). Chaque bloc de décodage CDk est associé à une colonne électrique COLk, et comprend une sortie et n entrées reliées aux lignes de bit de la colonne. Chaque bloc de décodage CDk sélectionne sur sa sortie une ligne de bit BLk,j de la colonne COLk, en fonction d'une adresse de colonne logique ADL appliquée

au décodeur (une adresse de colonne logique étant l'adresse d'un mot de  $n$  bits dans une page du plan mémoire). La sortie de chaque bloc de décodage CD $k$  est reliée d'une part à un circuit de lecture RCT $k$  (RCT $0$ , RCT $1$ , ... RCT $n-1$ ) et d'autre part à un circuit de vérification-programmation VPCTAk (VPCTA $0$ , VPCTA $1$ , ... VPCTA $n-1$ ).

Chaque circuit de lecture RCT $k$  comprend un amplificateur de lecture SA ayant une entrée de lecture reliée à une sortie du bloc de décodage correspondant, et une sortie reliée d'une part au bus de données DTB et d'autre part au circuit de vérification-programmation VPCTAk de rang correspondant.

La structure d'un circuit de vérification-programmation VPCTAk de rang  $k$  est représentée schématiquement en figure 3. Le circuit VPCTAk comprend un verrou de données DLT, un circuit logique de contrôle CONTCT et un verrou de programmation PLT. L'entrée du verrou DLT est reliée au bus de données DTB et reçoit un bit B $p_k$  à enregistrer dans une cellule mémoire de la colonne correspondante. Le circuit de contrôle CONTCT est relié à la sortie du verrou DLT, pour recevoir le bit B $p_k$ , et à la sortie de l'amplificateur de lecture SA du circuit RCT $k$ , pour recevoir un bit Br $k$  lu par l'amplificateur de lecture au cours d'un cycle de vérification-programmation décrit plus loin. Le circuit de contrôle CONTCT fournit au verrou de programmation PLT un signal DTOK $k$ . Le verrou de programmation PLT présente une sortie reliée à la sortie du bloc de décodage CD $k$ , une entrée de commande recevant le signal DTOK $k$ , une entrée de déclenchement recevant un signal de vérification VRFY commun à tous les verrous de programmation des autres circuits de vérification-programmation, et une entrée recevant des impulsions d'une tension de programmation VPP fournies par un générateur VPGEN piloté par le séquenceur SEQ.

L'enregistrement d'un mot binaire comprenant des bits Bp0, Bp1, Bp2,...Bpk...Bpn-1 comprend classiquement les étapes suivantes :

- application d'une adresse de ligne de mot ADH au décodeur WLDEC (bits d'adresse de poids fort),
- effacement de la page sélectionnée par le décodeur WLDEC (tous les bits sont mis à 1),
- application au décodeur COLDEC d'une adresse de colonne logique ADL (bits d'adresse de poids faible)
- 10 correspondant au rang du mot binaire dans la page sélectionnée,
- chargement des bits Bp0, Bp1, Bp2,...Bpk, Bpn-1 dans les verrous DLT des circuits de vérification-programmation VPCTAk, à raison d'un bit par verrou,
- 15 - application aux cellules mémoire de cycles de vérification-programmation, jusqu'à ce que toutes les cellules mémoire à programmer soient programmées.

Un cycle de vérification-programmation comprend l'application d'une impulsion VRFY et d'une impulsion VPP. Sur front montant de l'impulsion VRFY, chaque amplificateur de lecture lit un bit Brk dans la cellule mémoire sélectionnée. Sur chaque front descendant de l'impulsion VRFY, le verrou de programmation PLT devient transparent si le signal DTOKk est à 0 ou se bloque si le signal DTOKk est à 1. Si le verrou est transparent, il transmet l'impulsion de tension de programmation VPP à la ligne de bit lorsque cette impulsion est émise.

Le circuit de contrôle CONTCT de chaque circuit de vérification-programmation VPCTAk exécute par exemple la fonction logique suivante :

$$\text{DTOKk} = \text{Bpk} + /Bpk^*/\text{Brk}$$

"+" étant la fonction OU et "\*" la fonction ET

35 En d'autres termes, le signal DTOK passe à 1 dans les cas suivants :

- si le bit à enregistrer Bpk est égal à 1, ce qui signifie qu'il n'y a pas de programmation à effectuer sur la cellule mémoire, et
- si le bit à enregistrer Bpk est égal à 0 et le bit lu 5 Brk est égal à 0, ce qui signifie qu'il n'est plus nécessaire d'appliquer des impulsions de tension de programmation à la cellule mémoire car celle-ci est déjà programmée.

10 Afin de contrôler l'opération de programmation dans son ensemble, les signaux DTOKk (DTOK0 à DTOKn-1) sont collectés par une porte logique G1 de type ET, dont la sortie délivre un signal collectif DTOK qui ne passe à 1 que lorsque tous les signaux individuels DTOKk sont à 1. Le signal DTOK est chargé en tant que drapeau dans un 15 registre d'état SREG de la mémoire, et est rafraîchi à chaque cycle de vérification-programmation. Le séquenceur SEQ arrête l'émission des impulsions de tension de programmation VPP (arrêt du générateur VPGEN) lorsque le signal collectif DTOK passe à 1. Le séquenceur arrête également l'émission des impulsions de tension de programmation VPP lorsque le signal DTOK ne passe pas à 1 20 après application de N impulsions de tension de programmation. Cela signifie qu'au moins une cellule mémoire est défaillante et ne peut être programmée. Un drapeau PFAIL (Program Fail) est alors mis à 1 dans le 25 registre SREG, pour indiquer à l'utilisateur une erreur de programmation.

#### **Description du procédé de vérification d'effacement selon l'invention**

30 Comme cela est indiqué plus haut, la mise en œuvre du test de vérification d'effacement est longue et fastidieuse dans une mémoire série comme celle qui vient d'être décrite, car les instructions d'écriture et de lecture sont appliquées bit à bit à la mémoire, sous 35 forme de données série comprenant le code instruction de l'opération à effectuer et l'adresse du mot à programmer ou à lire. La présente invention repose sur l'observation

selon laquelle, au cours de l'opération de programmation qui vient d'être décrite, les cellules mémoire dans lesquelles des données doivent être enregistrées sont lues avant de recevoir la première impulsion de tension de programmation (lecture sur premier front montant du signal VRFY). La présente invention propose d'utiliser l'information de lecture fournie par chaque amplificateur de lecture au cours du premier cycle de vérification-programmation, pour produire un signal de vérification d'effacement individuel, et de collecter l'ensemble des signaux d'effacement individuels pour former un signal collectif de vérification d'effacement. En d'autres termes, la présente invention propose d'intégrer un algorithme de vérification d'effacement au sein de l'algorithme de vérification-programmation classique.

Pour fixer les idées, supposons qu'une page du plan mémoire, après avoir été effacée, soit programmée mot par mot en mettant tous les mots binaires à 0. La séquence de programmation suivante est alors exécutée, en supposant ici que les mots sont des octets (n=8) :

En (i) la page est effacée. En (ii) le premier mot (mot souligné) est mis à 0, en (iii) le second mot est mis à 0, en (iv) le troisième mot est mis à 0, etc..

30 Chaque mise à zéro d'un mot correspond à une programmation de toutes les cellules mémoire du mot, conformément au test de vérification d'effacement. Pour que le test de vérification d'effacement soit complet, il faut vérifier que chaque mot, avant d'être mis à 0, ne comprend que des bits à 1. Ceci permet de vérifier qu'une cellule mémoire effacée n'a pas été accidentellement

35



programmée pendant la programmation de cellules mémoire adjacentes.

Dans la séquence de programmation décrite ci-dessus, le premier cycle de vérification-programmation 5 intervenant à chaque opération de programmation d'un mot (mots soulignés), comprend une lecture des cellules mémoire avant application de la première impulsion de tension de programmation. Ainsi, tous les signaux de vérification DTO<sub>KK</sub> émis par les circuits de contrôle 10 CONTCT doivent normalement être à 0 avant application de la première impulsion de tension de programmation, si les données lues sont effectivement à 1 et si toutes les données à enregistrer sont égales à 0. L'observation des signaux DTO<sub>KK</sub> lors de la première impulsion de vérification 15 précédant la première impulsion de tension de programmation peut ainsi permettre de savoir si les cellules sont bien dans l'état effacé.

Ainsi, comme illustré sur la figure 3 en traits pointillés, le procédé selon l'invention peut être mis en œuvre de façon simple en prélevant les signaux de vérification DTO<sub>KK</sub> émis par chaque circuit de vérification-programmation et en les appliquant sur une deuxième porte logique G2, par exemple une porte de type NON OU, dont la sortie délivre un signal collectif BVOK 25 (Blank Verify OK). Le signal BVOK doit être verrouillé au terme de la première lecture du premier cycle de vérification-programmation, car il change de valeur lorsqu'une cellule mémoire bascule dans l'état programmé. Si le signal BVOK est à 1 au terme de la première lecture 30 du premier cycle de vérification-programmation, cela signifie que tous les signaux individuels BVOK<sub>K</sub> sont à 0, et par conséquent que les cellules mémoire sont toutes dans l'état effacé, le résultat du test de vérification d'effacement étant dans ce cas positif.

35 On décrira dans ce qui suit un mode de réalisation préféré du procédé selon l'invention, dans lequel des signaux de vérification individuels BVOK<sub>K</sub> (Blank Verify

OK) sont produits par comparaison de la donnée lue au cours du premier cycle de vérification-programmation et de la donnée à enregistrer, afin d'offrir des possibilités de test plus étendues que celles offertes 5 par une simple observation des signaux DTOKK.

**Exemple de mémoire mettant en œuvre le procédé selon l'invention**

La figure 4 représente une mémoire Flash série MEM2 comprenant un dispositif de vérification d'effacement 10 selon l'invention. La mémoire MEM2 comprend les éléments de la mémoire MEM2 déjà décrits, désignés par les mêmes références. On retrouve ainsi le plan mémoire Flash MA à entrelacement de données, le décodeur de ligne de mot WLDEC, le décodeur de colonne COLDEC comportant n blocs 15 de décodage CDk (CD0, CD1,...CDn-1) associés aux colonnes électriques COLk du plan mémoire, les tampons d'entrée BUF1 et de sortie BUF2, le bus de données DTB, le séquenceur SEQ...

La sortie de chaque bloc de décodage CDk est reliée 20 comme précédemment à un circuit de lecture RCTk (RCT0, RCT1, ...RCTn-1) et à un circuit de vérification-programmation VPCTBk (VPCTB0, VPCTB1,... VPCTBn-1). Chaque circuit de lecture RCTk comprend comme précédemment un amplificateur de lecture SA ayant une 25 entrée de lecture reliée à une sortie du bloc de décodage correspondant, et une sortie reliée au bus de données DTB ainsi qu'au circuit de vérification-programmation VPCTBk correspondant. Chaque circuit de vérification-programmation VPCTBk comprend, comme les circuits VPCTAk 30 précédemment décrits, un verrou de données DLT, un circuit logique de contrôle CONTCT et un verrou de programmation PLT, ces éléments étant de même structure que ceux précédemment décrits. Ainsi, le verrou DLT est relié en entrée au bus de données DTB et reçoit un bit 35 Bpk à enregistrer dans une cellule mémoire. Le circuit de contrôle CONTCT est relié à la sortie du verrou DLT, pour recevoir le bit Bpk, et est également relié à la sortie

de l'amplificateur de lecture SA du circuit RCTk, pour recevoir un bit Brk lu par l'amplificateur de lecture au cours d'un cycle de vérification-programmation. Le circuit de contrôle CONTCT fournit au verrou de programmation PLT un signal DTOKk. Le verrou de programmation PLT présente une sortie reliée à la sortie du bloc de décodage CDk correspondant, une entrée de commande recevant le signal DTOKk, une entrée de déclenchement recevant le signal de vérification VRFY 10 commun à tous les verrous de programmation, et une entrée recevant les impulsions de tension de programmation VPP fournies par le générateur VPGEN.

L'enregistrement d'un mot dans le plan mémoire comprend comme précédemment l'application d'une adresse de ligne de mot ADH au décodeur WLDEC, l'effacement de la page sélectionnée, l'application au décodeur COLDEC d'une adresse de colonne logique ADL, le chargement des bits Bp0, Bp1, Bp2,...Bpk, Bpn-1 du mot à enregistrer dans les verrous DLT, puis l'exécution de cycles de vérification-programmation. Sur front montant de l'impulsion VRFY, chaque amplificateur de lecture lit un bit Brk (Br0, Br1, Br2...Brn-1) dans une cellule mémoire. Sur chaque front descendant de l'impulsion VRFY, le verrou de programmation PLT devient transparent si le signal DTOKk est à 1 ou se bloque si le signal DTOKk est à 0. Si le verrou est transparent, il transmet l'impulsion de tension de programmation VPP à la ligne de bit correspondante. Comme précédemment toujours, le signal DTOK est mis à 1 par le circuit CONTCT si le bit à enregistrer Bpk est égal à 1, ou si le bit à enregistrer Bpk est égal à 0 et le bit lu Brk est égal à 0.

Selon l'invention, chaque circuit de vérification-programmation VPCTBk comprend en outre un circuit de vérification d'effacement EVCT qui reçoit en entrée le bit Brk lu par l'amplificateur de lecture SA ainsi que le bit à enregistrer Bpk fourni par le verrou de données DTLT. Le circuit de vérification d'effacement ECVT

fournit un signal BVOKk en exécutant ici la fonction logique suivante :

$$\text{BVOKk} = \text{Bpk} + \text{Brk}$$

5

soit une fonction OU entre le bit lu et le bit à enregistrer.

Afin de contrôler l'opération de vérification dans son ensemble, les signaux BVOKk (BVOK0, BVOK1, 10 BVOK2...BVOKn-1) sont collectés par une porte logique G3 de type NON ET. La sortie de la porte G3 fournit un signal collectif /BVOK qui ne passe à 0 que lorsque tous les signaux individuels BVOKk sont à 1. Le signal /BVOK est par ailleurs appliqué sur l'entrée S ("Set") d'une 15 bascule synchrone DL1 de type RS, dont l'entrée R ("Reset") est contrôlée par un signal RSTD de remise à zéro fourni par le séquenceur. La bascule DL1 présente une sortie inverseuse /Q qui est reliée au registre d'état SREG et fournit un signal BVOKs enregistré en tant 20 que drapeau dans le registre d'état. La bascule DL1 présente une entrée de synchronisation H, active sur front descendant, recevant un signal VRFY0. Le signal VRFY0 est fourni par le séquenceur SEQ pendant l'opération de programmation. Plus particulièrement, le 25 signal VRFY0 présente une impulsion et une seule, qui est une copie de la première impulsion du signal de vérification VRFY émise lors d'une opération de programmation d'un mot.

Le signal collectif /BVOK présente une valeur significative après que le front montant de l'impulsion VRFY a déclenché la lecture des données dans une rangée de cellules mémoire sélectionnée pour la programmation. Chaque signal individuel BVOKk est ici à 1 si :  
A) le bit Brk lu dans la cellule mémoire sélectionnée est 35 égal à 1 et le bit Bpk à enregistrer dans la cellule mémoire est égal à 0,

B) le bit Bpk à enregistrer dans la cellule mémoire est égal à 1.

Le cas A correspond au test de vérification d'effacement classique, lorsque tous les mots à enregistrer sont égaux à 0. Le cas B permet d'inhiber la vérification d'effacement sur certains mots et créer des séquences de test complexes, comme cela sera décrit plus loin.

La bascule DL1 est remise à 0 avant une opération de programmation, de sorte que signal BVOKs est forcé à 1. La bascule DL1 est ensuite activée au premier front descendant du signal VRFY0, qui correspond au premier front descendant de la première impulsion du signal VRFY, soit avant l'application de la première impulsion de tension de programmation. Si à cet instant le signal /BVOK est égal à 0, ce qui signifie que tous les signaux individuels BVOKk sont à 1, alors le signal BVOKs reste à 1.

Dans un mode de réalisation préféré, la bascule DL1 n'est pas remise à 0 entre deux opérations de programmation de cellules mémoire, lorsque plusieurs rangées de cellules mémoire sont programmées en rafale. Dans ce cas, le signal BVOKs indique le résultat général des vérifications effectuées à chaque opération de programmation d'une rangée de cellules mémoire. Si le signal /BVOK est à 0 pendant la lecture intervenant sur le premier front montant du signal VRFY, le signal BVOKs est resté à 1 lors du front descendant du signal VRFY0, lorsque l'entrée H de la bascule DL1 est activée. Si toutefois, au cours d'une programmation d'une rangée de cellules mémoire, l'une des cellules mémoire de la rangée ne présente pas la valeur d'effacement, alors l'entrée S de la bascule DL1 est activée et le signal BVOKs passe à 0 sur la sortie /Q. Si, par la suite, le signal /BVOK est à 0 lors de la programmation des autres rangées de cellules mémoire, le signal BVOKs reste quand même à 0 car la bascule ne peut être remise à 0 qu'au moyen du

signal externe RSTD, qui n'est délivré qu'une seule fois par le séquenceur, avant de déclencher les cycles de programmation en rafale. Ainsi, il suffit d'un échec dans l'un des tests de vérification de la valeur d'effacement 5 d'une rangée de cellules mémoire pour que le drapeau BVOks passe à 0 et conserve cette valeur.

La figure 5 représente un exemple de réalisation d'un circuit de vérification-programmation VPCTBk, comprenant un verrou de données DTLT, un circuit de 10 contrôle CONTCT, un circuit de vérification d'effacement EVCT selon l'invention, et un verrou de programmation PLT.

Le verrou de programmation PLT comprend une porte inverseuse INV1, une bascule D synchrone DL2, un 15 adaptateur de tension VAD et un transistor NMOS TN1. La porte inverseuse reçoit le signal DTOKk fournit par le circuit de contrôle CONTCT et applique ce signal inversé sur l'entrée D de la bascule DL2, dont la sortie Q est appliquée sur l'entrée de l'adaptateur de tension VAD. 20 Celui-ci est alimenté par une tension VPP+VTH, VTH étant la tension de seuil du transistor TN1, et sa sortie pilote la grille du transistor TN1. La sortie de l'adaptateur VAD transforme un signal logique égal à 1 fourni par la sortie Q de la bascule, en un signal de 25 tension VPP+VTH, tandis qu'un signal logique à 0 est recopié en un signal de tension nulle. L'entrée de déclenchement H de la bascule, active sur front descendant, reçoit les impulsions du signal VRFY. Le drain du transistor TN1 reçoit les impulsions de tension 30 de programmation VPP. La source du transistor TN1 est reliée à une ligne de bit BLk,j via le décodeur de colonne (non représenté en figure 5).

A chaque impulsion du signal VRFY, la sortie Q de la bascule DL2 est rafraîchie et recopie la valeur 35 présente sur l'entrée D. Si le signal DTOK est à 0 lors de la réception d'un front descendant du signal VRFY, la sortie Q passe à 1 et l'adaptateur fournit la tension

VPP+VTH à la grille du transistor TN1, qui devient ou reste passant. Ainsi, lorsque l'impulsion VPP est émise, celle-ci est transmise par le transistor TN1 à la ligne de bit et une cellule mémoire sélectionnée reçoit une 5 impulsion de tension de programmation VPP.

Le circuit de contrôle CONTCT comprend une porte logique G4 de type OU recevant sur ses entrées le bit à enregistrer Bpk et le bit Brk (lu par l'amplificateur SA sur front montant du signal VRFY). La sortie de la porte 10 G4 est appliquée sur une entrée d'une porte G5 de type NON OU EXCLUSIF (NXOR) recevant sur une deuxième entrée le bit à enregistrer Bpk. La sortie de la porte G5 fournit le signal DTOKk, qui est égal à

15 
$$DTOKk = Bpk + /Bpk*Brk + Bpk*Brk$$

Cette équation logique est strictement identique à celle décrite plus haut, soit :

20 
$$DTOKk = Bpk + /Bpk*Brk$$

car le terme  $Bpk*Brk$  est sans effet sur la valeur de l'équation.

25 Le circuit de vérification d'effacement EVCT comprend une porte G6 de type OU, recevant en entrée les bits Bpk et Brk et fournissant le signal BVOKk, conformément à l'équation logique décrite plus haut ( $BVOKk = Bpk + Brk$ ).

30 Les figures 6A à 6G sont des chronogrammes illustrant une opération de programmation selon l'invention, comprenant l'algorithme de vérification classique et incorporant également l'algorithme de vérification d'effacement selon l'invention. L'opération de programmation est appliquée ici à une cellule mémoire 35 que l'on suppose avoir été préalablement effacée.

La figure 6A représente le bit Bpk chargé dans le verrou DLT, destiné à être enregistré dans la cellule

mémoire. La figure 6B représente le bit Brk lu dans la cellule mémoire au cours de l'opération de programmation. La figure 6C représente les impulsions du signal VRFY. La figure 6D représente l'impulsion du signal VRFY0. La 5 figure 6E représente le signal BVOKk. La figure 6F représente les impulsions de la tension de programmation VPP et la figure 6G représente le signal DTOKk.

A un instant  $t_0$ , un bit  $B_{pk}$ , ici égal à 0, est chargé dans le registre DLT. A un instant  $t_1$  apparaît un 10 front montant de la première impulsion du signal VRFY, ainsi qu'un front montant du signal VRFY0, qui recopie la première impulsion du signal VRFY. La cellule mémoire est lue par un amplificateur de lecture qui délivre un bit Brk égal à 1 (cellule mémoire effacée) à un instant  $t_1'$ , 15 l'écart entre  $t_1'$  et  $t_1$  correspondant au temps de lecture et de stabilisation de l'amplificateur de lecture. A l'instant  $t_1'$ , le signal BVOKk passe également à 1 car la donnée lue est égale à 1, ce qui confirme que la cellule mémoire lue est dans l'état effacé. A un instant  $t_2$ , un 20 front descendant du signal VRFY0, correspondant à un front descendant de la première impulsion du signal VRFY, valide le signal BVOKs (verrouillage du signal collectif /BVOK par la bascule DL1, figure 4). Entre des instants  $t_3$  et  $t_4$ , une impulsion VPP0 de la tension de 25 programmation VPP est appliquée à la cellule mémoire, le signal DTOKk étant à 0. Entre des instants  $t_5$  et  $t_6$ , une nouvelle impulsion du signal VRFY est émise. La donnée lue Brk ne change pas de valeur ce qui signifie que la cellule est toujours dans l'état effacé. Le signal DTOKk 30 reste ainsi égal à 0. Entre des instants  $t_7$  et  $t_8$ , une deuxième impulsion VPP1 de la tension de programmation VPP est appliquée à la cellule mémoire. A un instant  $t_9$ , une nouvelle impulsion VRFY est émise (front montant). A 35 un instant  $t_9'$ , après stabilisation de l'amplificateur de lecture, le bit Brk lu dans la cellule mémoire passe à 0 ce qui signifie que la cellule mémoire est maintenant programmée, après deux impulsions de tension VPP. Ainsi,

5 à l'instant  $t_9'$ , le signal DTOKk passe à 1, indiquant que la cellule est programmée. Le verrou de programmation PLT se bloque (Fig. 5) et empêche d'autres impulsions de tension de programmation d'être appliquées à la cellule mémoire.

10 On a indiqué dans ce qui précède que les signaux individuels de vérification d'effacement BVOKk sont également à 1 quand le bit Bpk à enregistrer dans la cellule mémoire est égal à 1 (cas B), du fait que les signaux BVOKk sont produits par combinaison des bits Brk et Bpk, cette combinaison étant faite ici au moyen de la fonction OU. Cette caractéristique du dispositif de vérification d'effacement selon l'invention permet 15 d'inhiber la vérification d'effacement sur certains mots binaires et créer des séquences de test complexes. Supposons à titre d'exemple qu'une page, après avoir été effacée, reçoive une alternance de mots à 0 et de mots à 1, par exemple la séquence suivante dans laquelle les mots sont des octets :

20

0000000011111110000000011111110000000011111111

25 Dans ce cas, l'algorithme de vérification d'effacement est inhibé pour les cellules mémoire devant recevoir des bits à 1, puisque ces bits forcent les signaux individuels BVOKk à être égaux à 1.

30 Il apparaîtra clairement à l'homme de l'art que la présente invention est susceptible de diverses autres variantes, notamment en ce qui concerne la fonction logique permettant de produire les signaux de vérification d'effacement, les moyens de verrouillage des signaux de vérification d'effacement, le séquencement des cycles de vérification-effacement, etc.. La présente invention est par ailleurs applicable à divers types de 35 mémoires dans lesquelles une opération de programmation comporte des cycles de vérification-programmation. Ainsi, bien que la présente invention ait été initialement

conçue pour faciliter le test de vérification d'effacement dans les mémoires série, rien ne s'oppose à ce que l'invention soit également mise en œuvre dans les mémoires à entrées/sorties parallèles.

5 D'autre part, il appartient à l'homme de l'art de prévoir divers moyens périphériques d'activation et de désactivation de l'algorithme selon l'invention, par exemple un drapeau de mode enregistré dans le registre d'état SREG qui est mis à 1 pour activer l'algorithme de 10 vérification d'effacement ou mis à 0 pour le désactiver.

La mise en œuvre de la présente invention est particulièrement avantageuse dans une mémoire Flash série comprenant des moyens de simulation d'une programmation par page. Une telle mémoire comprend une mémoire tampon 15 interne de type SRAM pour recevoir et de mémoriser en une seule instruction tous les mots binaires d'une page. Le séquenceur assure ensuite la programmation de la page mot par mot, de façon transparente pour l'utilisateur, en lisant la mémoire tampon mot à mot et en enregistrant les 20 mots dans le plan mémoire. Au cours de l'enregistrement d'une page, l'algorithme de vérification selon l'invention peut être activé, en plaçant la mémoire en mode test. Après que l'ensemble de la page est enregistré, l'utilisateur peut consulter le drapeau BVOKs 25 dans le registre d'état pour savoir si au moins un test de vérification d'effacement s'est soldé par un échec ou non.

## REVENDICATIONS

1. Mémoire effaçable et programmable électriquement (MEM1, MEM2), comprenant des cellules mémoire (FGT) et un dispositif de vérification-programmation (VPCTAk, VPCTBk, G1) agencé pour enregistrer une donnée (Bpk) dans une cellule mémoire en répétant un cycle de vérification-programmation jusqu'à ce que la donnée soit enregistrée dans la cellule mémoire, sans excéder N cycles, un cycle de vérification-programmation comprenant une étape de lecture (Brk) de la cellule mémoire puis l'application d'une impulsion d'une tension de programmation (VPP) à la cellule mémoire si la donnée (Bpk) à enregistrer présente une valeur logique de programmation (0) et si la donnée lue (Brk) dans la cellule mémoire présente une valeur logique d'effacement (1),

15 caractérisée en ce qu'elle comprend un dispositif de vérification d'effacement (VPCTBk, EVCT, G2, G3, DL1) agencé pour :

- fournir un signal de vérification d'effacement (DTOKk, BVOKk) ayant une valeur déterminée (1) lorsque la donnée (Brk) lue dans une cellule mémoire au cours du premier cycle de vérification-programmation d'une opération de programmation de la cellule mémoire, présente une valeur logique d'effacement, et  
20 - verrouiller le signal de vérification d'effacement avant application de la première impulsion de tension de programmation (VPP) à la cellule mémoire.

2. Mémoire (MEM2) selon la revendication 1, dans laquelle le dispositif de vérification d'effacement (VPCTBk, EVCT, G2, G3, DL1) est agencé pour fournir un signal de vérification d'effacement (DTOKk, BVOKk) ayant ladite valeur déterminée (1) lorsqu'une donnée à enregistrer (Bpk) présente elle-même une valeur logique d'effacement (1).

3. Mémoire (MEM1, MEM2) selon l'une des revendications 1 et 2, comprenant un nombre déterminé (n-1) d'amplificateurs de lecture (SA) pour lire simultanément un nombre correspondant de cellules mémoire 5 sélectionnées pendant une opération d'enregistrement de données dans les cellules mémoire sélectionnées, et dans laquelle le dispositif de vérification d'effacement comprend un nombre correspondant de circuits de vérification d'effacement (CONTCT, EVCT), chaque circuit 10 de vérification d'effacement étant relié à un amplificateur de lecture (SA) et fournissant un signal individuel (DTOKk, BVOKk) de vérification d'effacement d'une cellule mémoire ayant ladite valeur déterminée (1) lorsque la donnée lue dans la cellule mémoire au cours du 15 premier cycle de vérification-programmation de la cellule mémoire présente la valeur logique d'effacement (1).

4. Mémoire selon la revendication 3, dans laquelle un circuit (EVCT) de vérification d'effacement comprend 20 une porte logique (G6) recevant sur une entrée la donnée (Brk) lue au cours du premier cycle de vérification-programmation de la cellule mémoire, et fournissant le signal individuel de vérification d'effacement (DTOKk).

25 5. Mémoire selon la revendication 4, dans laquelle la porte logique est agencée pour combiner la donnée (Brk) lue dans la cellule mémoire au cours du premier cycle de vérification-programmation de la cellule mémoire et la donnée (Bpk) à enregistrer dans la cellule mémoire, 30 le signal individuel de vérification d'effacement (DTOKk) étant fonction du résultat de la combinaison.

6. Mémoire selon la revendication 5, dans laquelle la porte logique est de type OU ou NON OU.

35

7. Mémoire selon l'une des revendications 3 à 6, dans laquelle le dispositif de vérification d'effacement

comprend un circuit logique (G2, G3) pour collecter l'ensemble des signaux individuels de vérification d'effacement (DTOKk) fournis par les circuits de vérification d'effacement (CONTCT, EVCT), et fournir un 5 signal collectif (BVOK) de vérification d'effacement d'une pluralité de cellules mémoire.

8. Mémoire selon la revendication 7, comprenant des moyens (DL1, VRFY0) de verrouillage de la valeur du 10 signal collectif de vérification avant application de la première impulsion de tension de programmation (VPP).

9. Mémoire selon la revendication 8, comprenant des moyens pour fournir une suite d'impulsions de signaux de vérification (VRFY) appliqués au dispositif de vérification-programmation, et pour fournir un signal (VRFY0) de verrouillage de vérification d'effacement 15 après émission de la première impulsion du signal de vérification.

20

10. Procédé de test d'une mémoire effaçable et programmable électriquement (MEM1, MEM2), comprenant des cellules mémoire (FGT) et un dispositif de vérification-programmation (VPCTAk, VPCTBk, G1) agencé pour effectuer 25 une opération d'enregistrement d'une donnée (Bpk) dans une cellule mémoire en répétant un cycle de vérification-programmation jusqu'à ce que la donnée soit enregistrée, sans excéder N cycles, un cycle de vérification-programmation comprenant une étape de lecture (Brk) de la 30 cellule mémoire devant recevoir la donnée puis l'application d'une impulsion d'une tension de programmation (VPP) à la cellule mémoire si la donnée (Bpk) à enregistrer dans la cellule mémoire présente une valeur logique de programmation (0) et si la donnée lue 35 (Brk) dans la cellule mémoire présente une valeur logique d'effacement (1),

procédé caractérisé en ce qu'il comprend les étapes suivantes :

- fournir un signal de vérification d'effacement (DTOKk, BVOKk) ayant une valeur déterminée (1) lorsque la donnée 5 (Brk) lue dans une cellule mémoire au cours du premier cycle de vérification-programmation d'une opération de programmation de la cellule mémoire, présente une valeur logique d'effacement, et
- verrouiller le signal de vérification d'effacement 10 avant application de la première impulsion de tension de programmation (VPP) à la cellule mémoire.

11. Procédé selon la revendication 10, comprenant la production d'un signal de vérification d'effacement 15 (DTOKk, BVOKk) ayant ladite valeur déterminée (1) lorsqu'une donnée à enregistrer (Bpk) présente elle-même la valeur logique d'effacement (1).

12. Procédé selon l'une des revendications 10 et 20 11, appliqué à une mémoire comprenant un nombre déterminé (n-1) d'amplificateurs de lecture (SA) permettant de lire simultanément un nombre correspondant de cellules mémoire sélectionnées pendant une opération d'enregistrement de données dans ces cellules mémoire, et comprenant la 25 production d'un nombre correspondant de signaux individuels (DTOKk, BVOKk) de vérification d'effacement pendant l'enregistrement de données dans un nombre correspondant de cellules mémoire.

30 13. Procédé selon la revendication 12, comprenant la combinaison des signaux individuels de vérification d'effacement (DTOKk) pour fournir un signal collectif (BVOK) de vérification d'effacement d'une pluralité de cellules mémoire.

35

14. Procédé selon la revendication 13, comprenant le verrouillage du signal collectif de vérification

d'effacement avant application de la première impulsion de tension de programmation (VPP) .

1/5

100208 FR

02-Ra 302

## DESSINS PROVISOIRES

### Dessins Définitifs en cours d'élaboration

fig. 8A

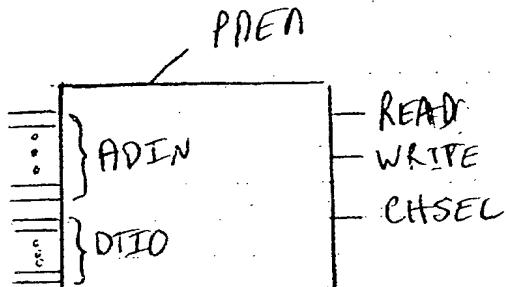


Fig. 2B

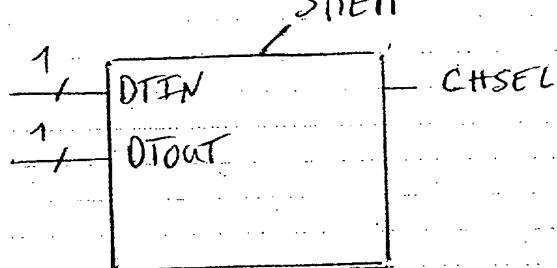


Fig 1A

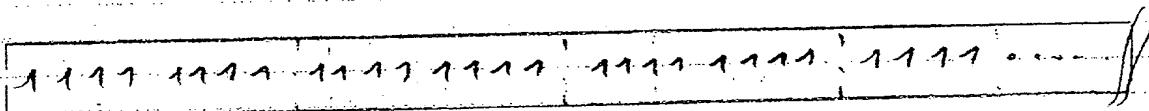


Fig. 1B

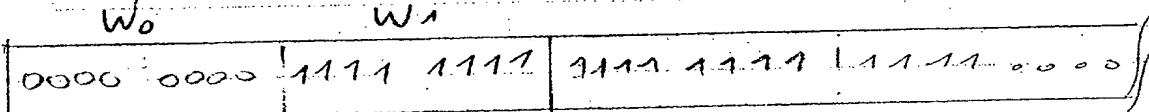
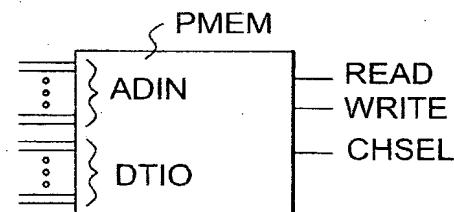
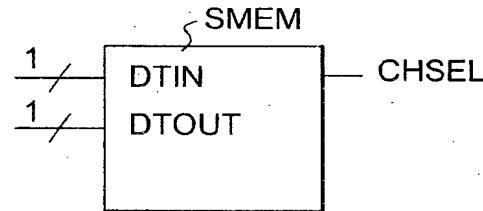
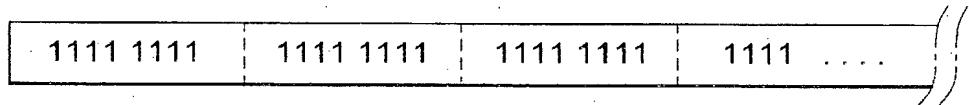
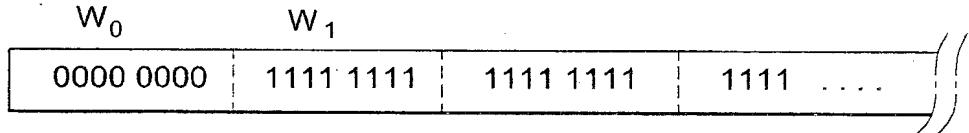
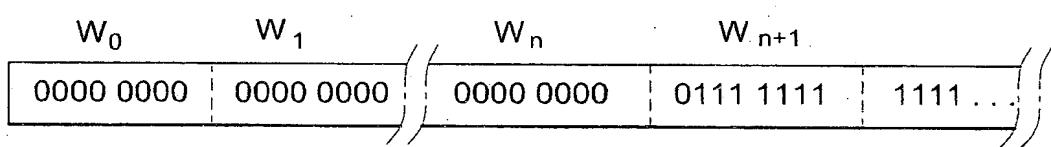
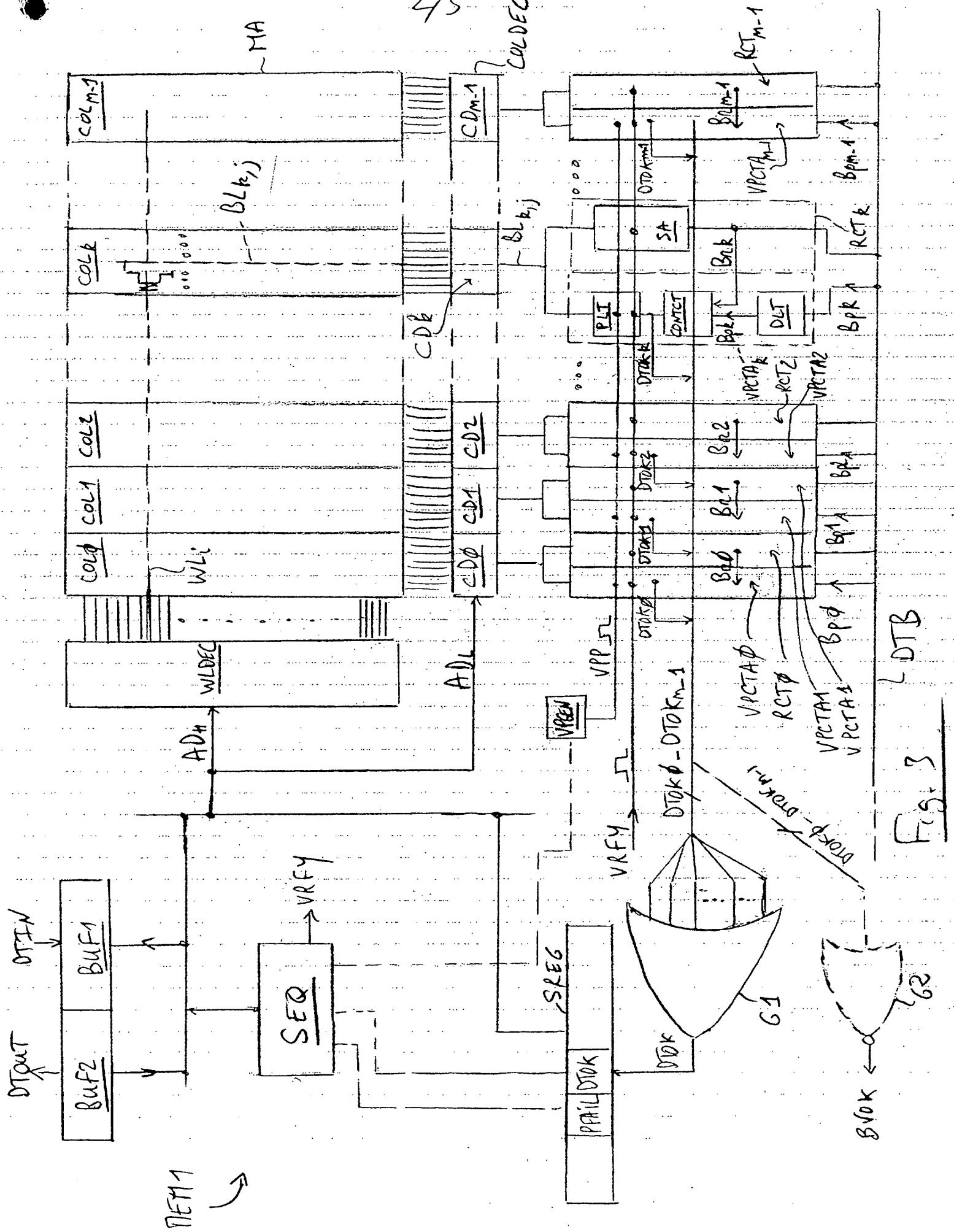
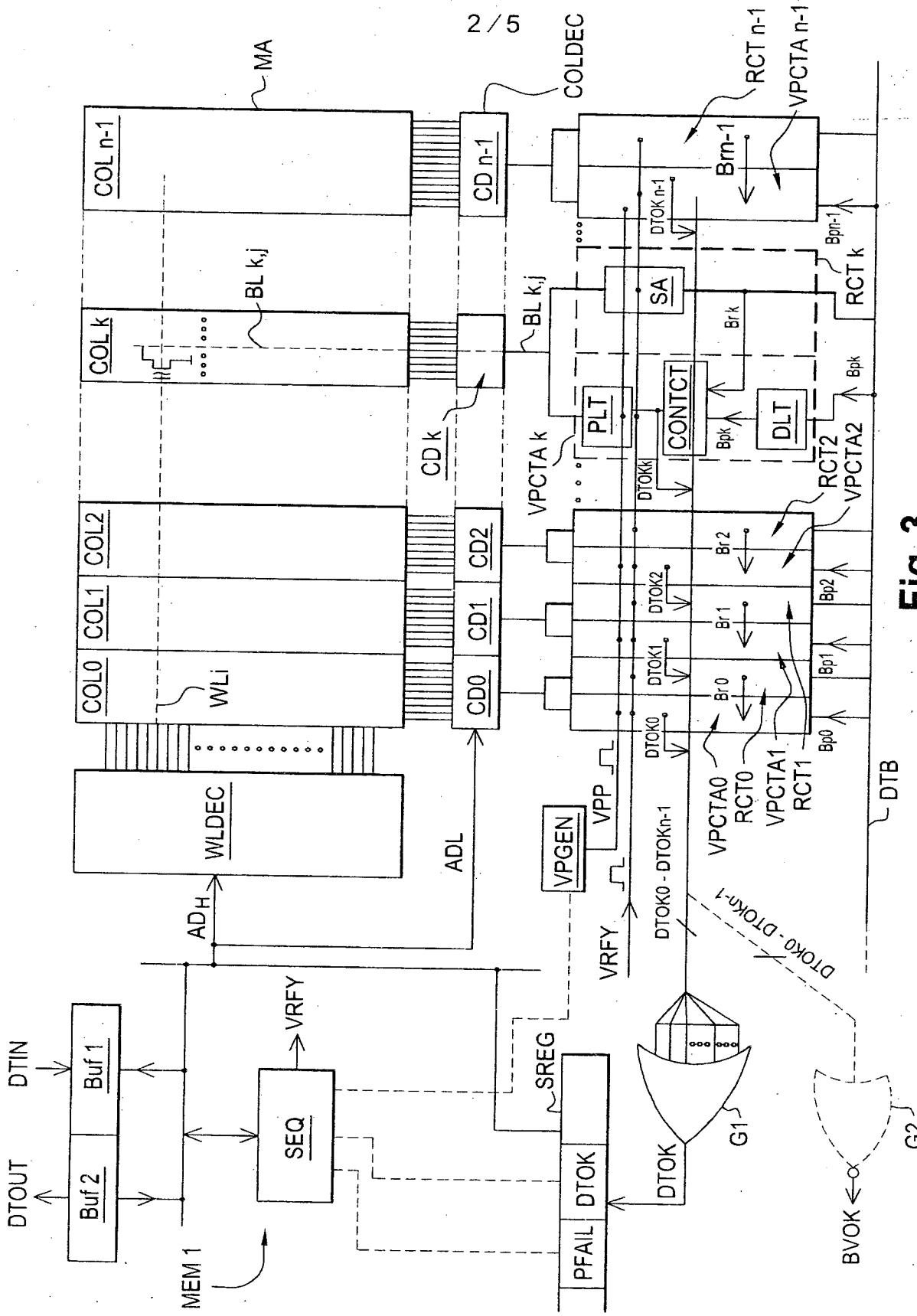


Fig. 1C

**Fig. 2A****Fig. 2B****Fig. 1A****Fig. 1B****Fig. 1B****Fig. 1C**





୩  
ତ  
ପ

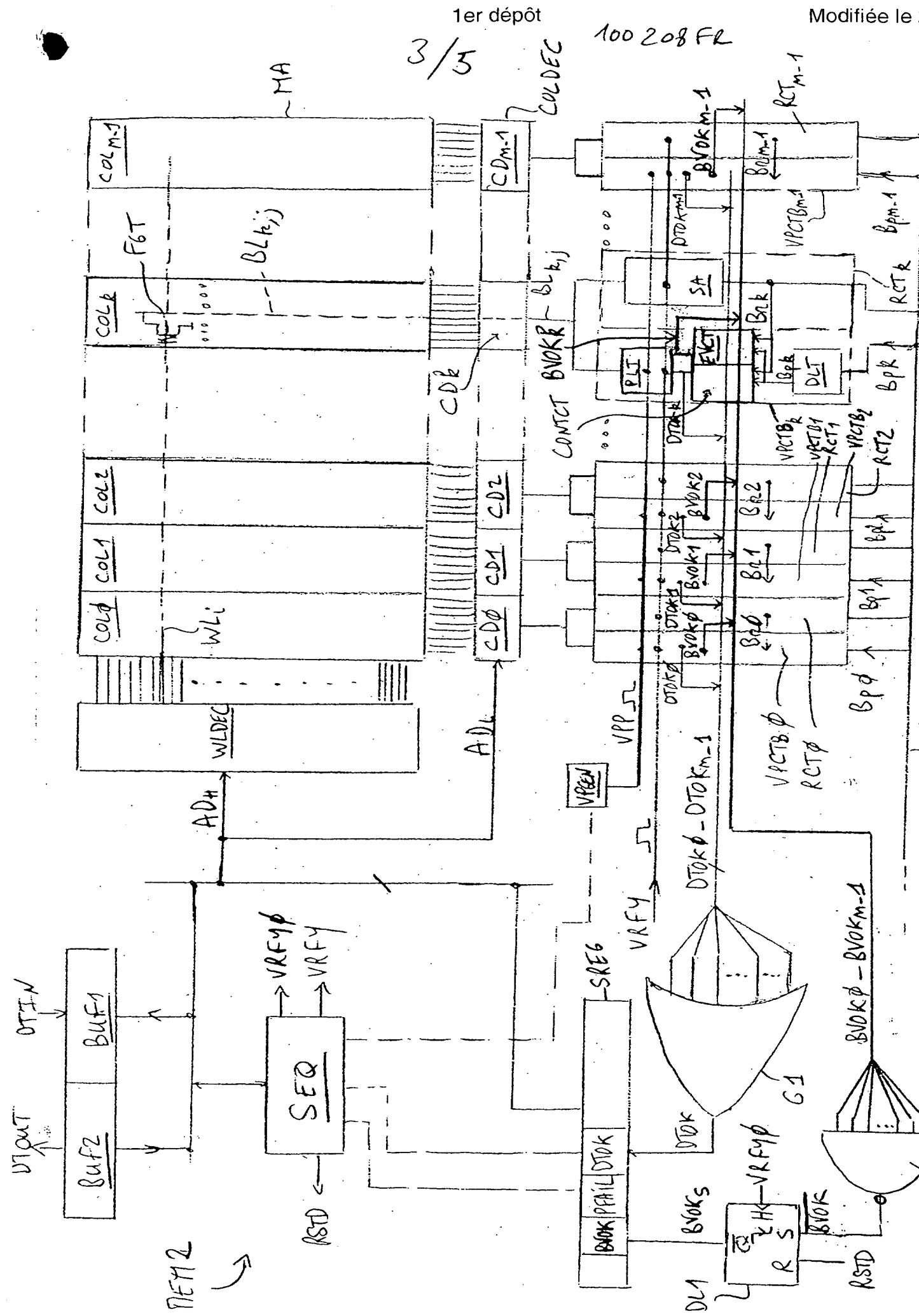


Fig. 4

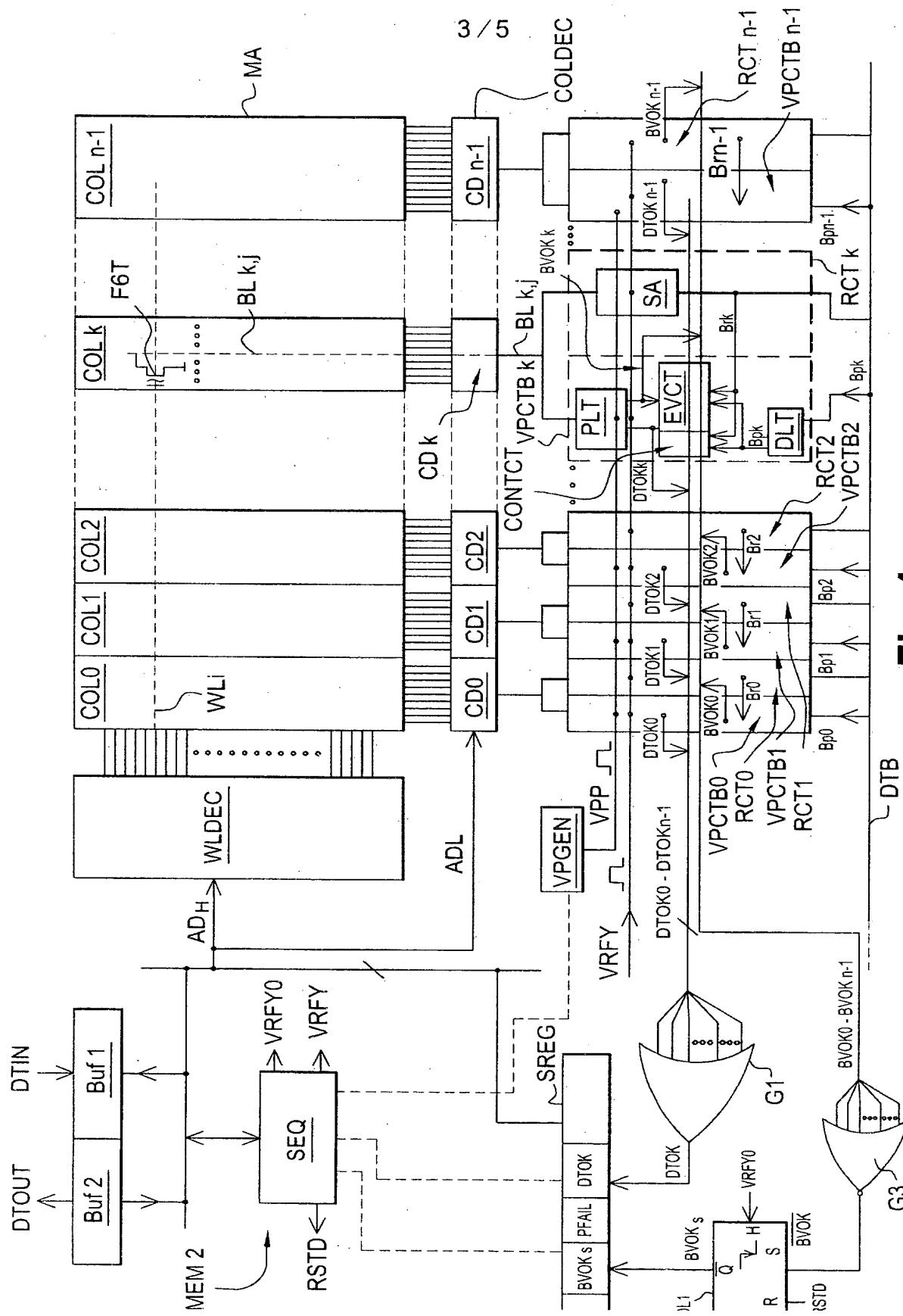
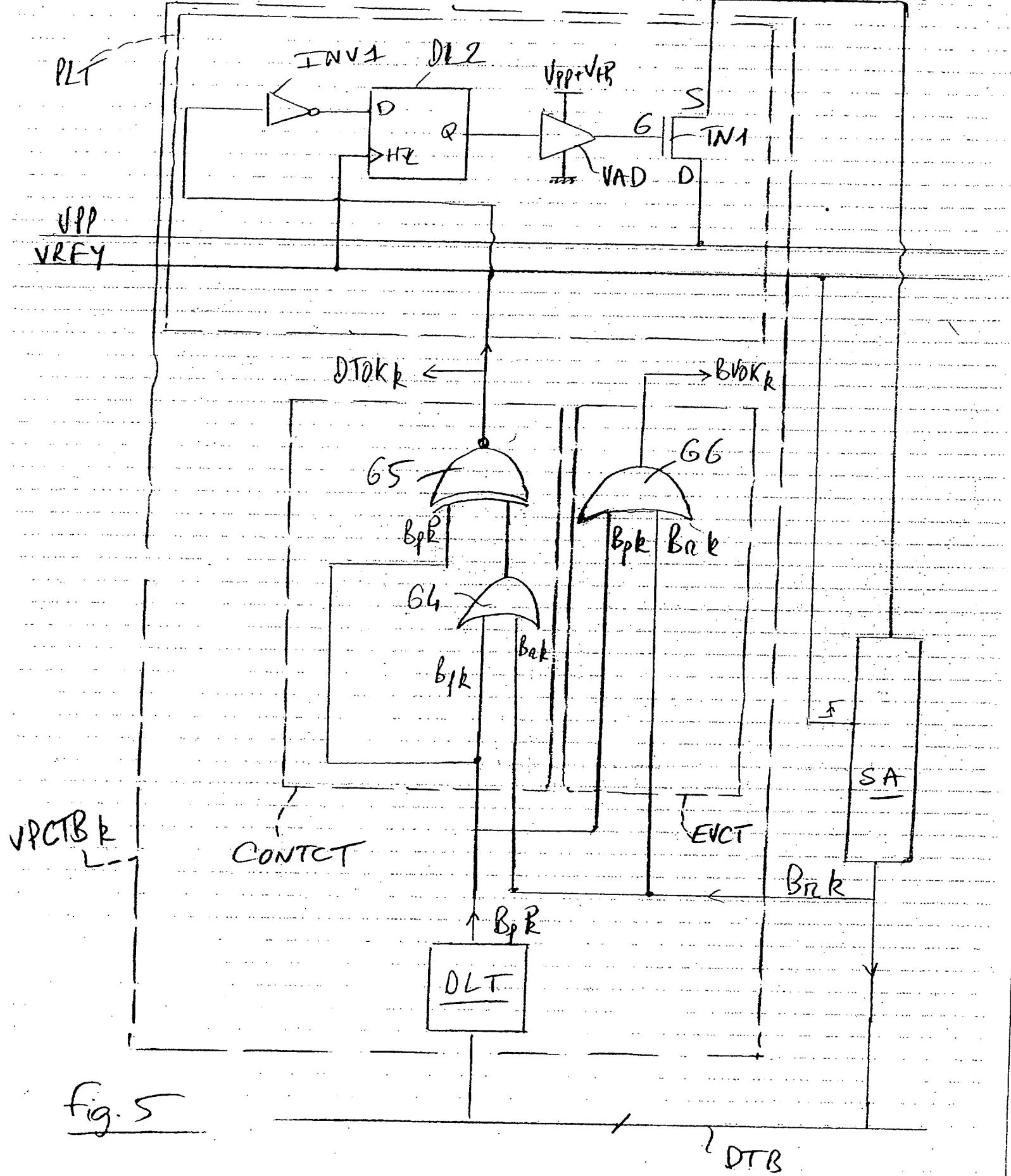


Fig. 4

4/5

100 208 FR

T-BLK,j



4 / 5

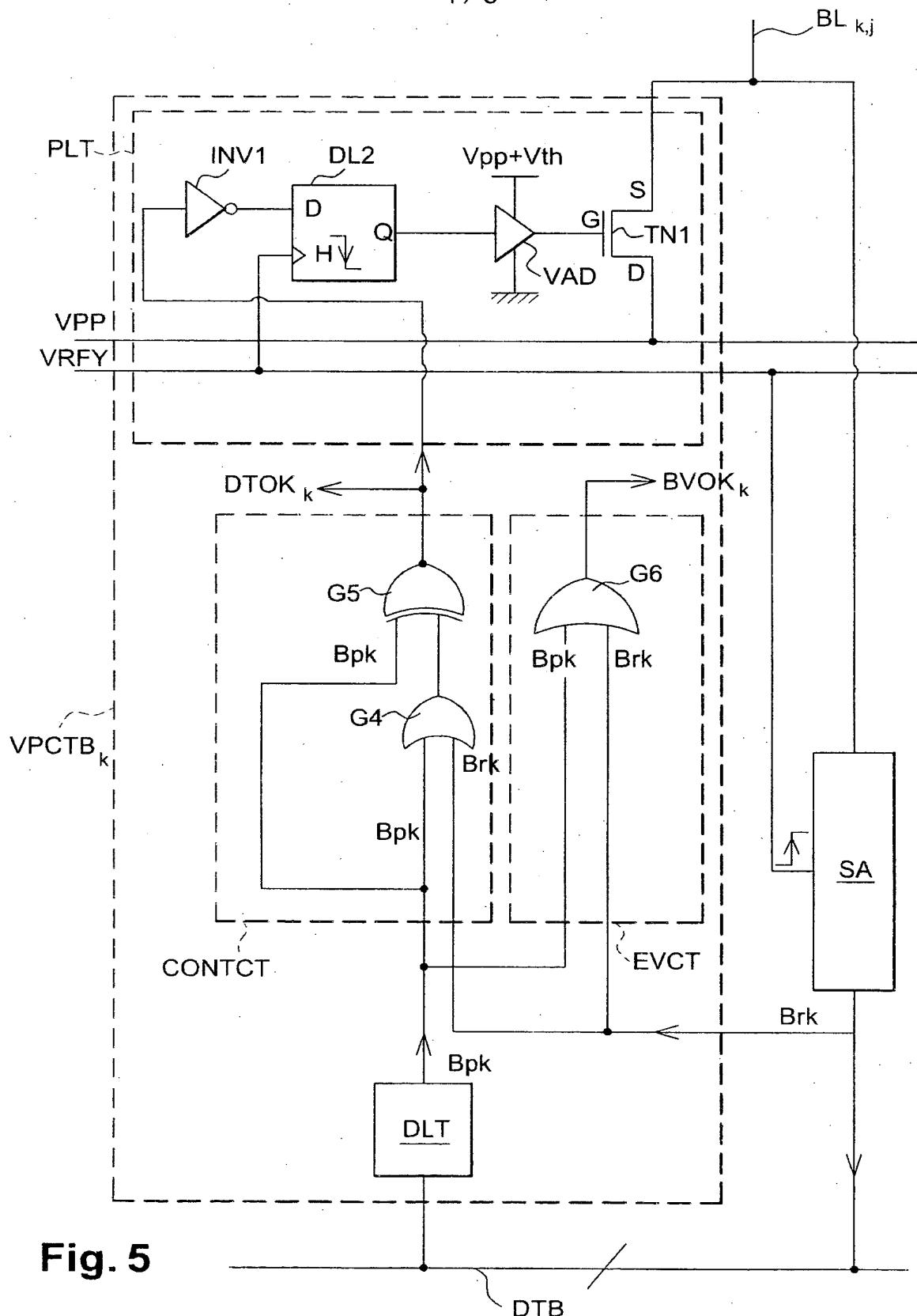


Fig. 5

5/5

100 208 FR

Bpk

 $t_0$  $t_1$  $t_2$  $t_3$  $t_4$  $t_5$  $t_6$  $t_7$  $t_8$  $t_9$ 

fig.6A

Bpk

 $t_1'$  $t_9'$ 

fig.6B

VRFY

fig.6C

VRFY

fig.6D

BPK

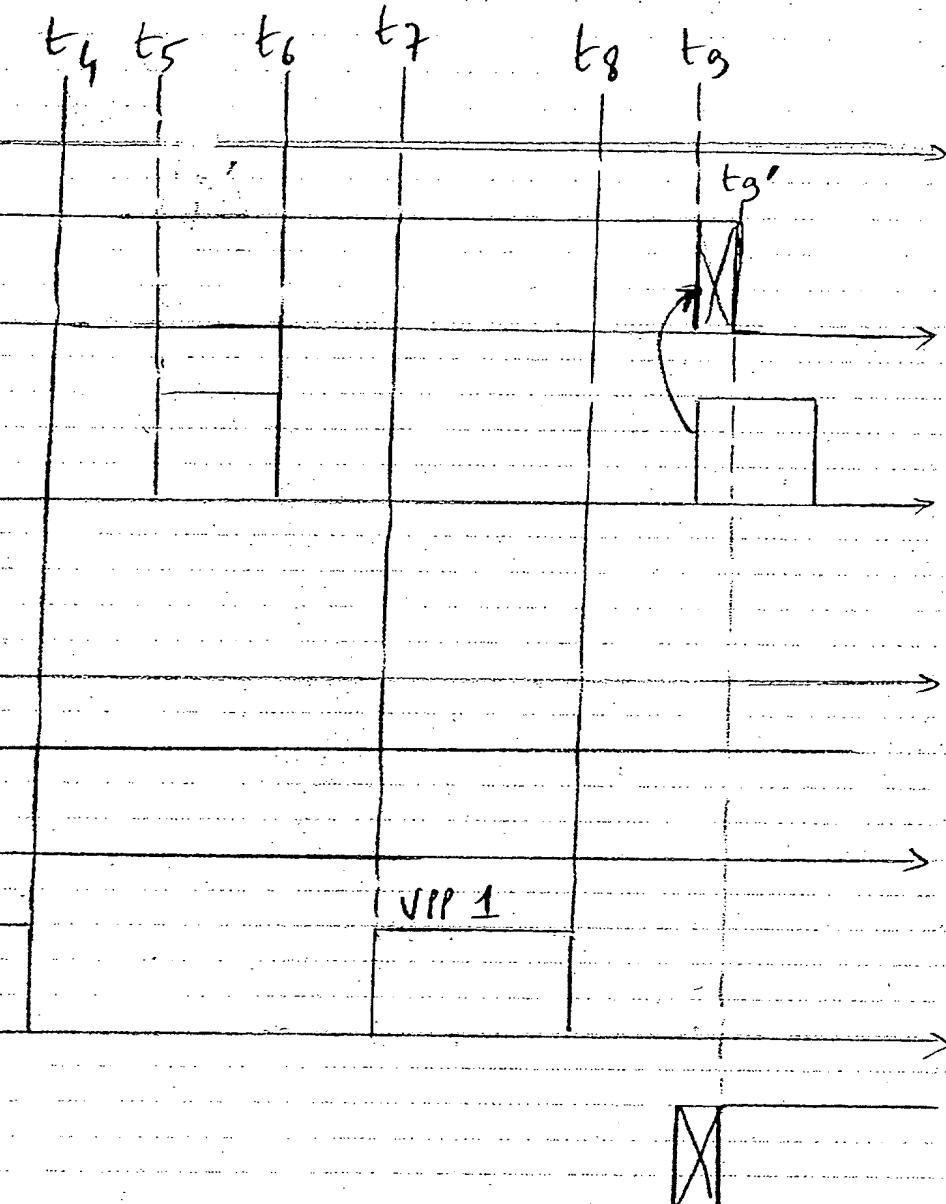
fig.6E

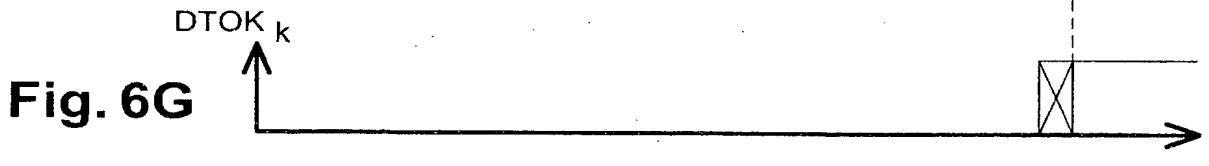
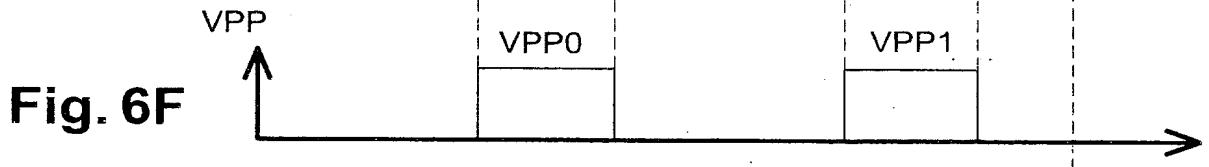
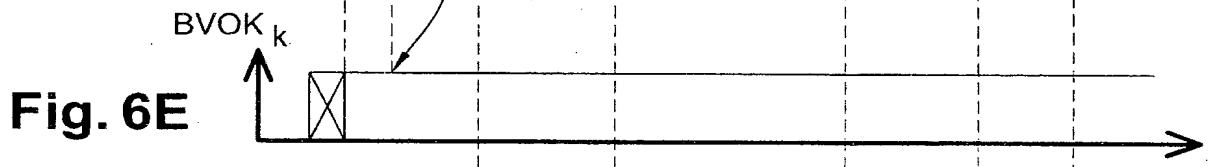
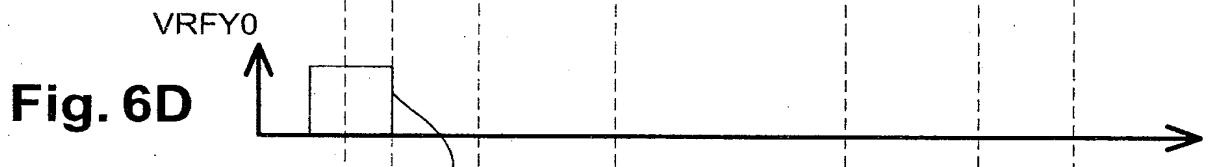
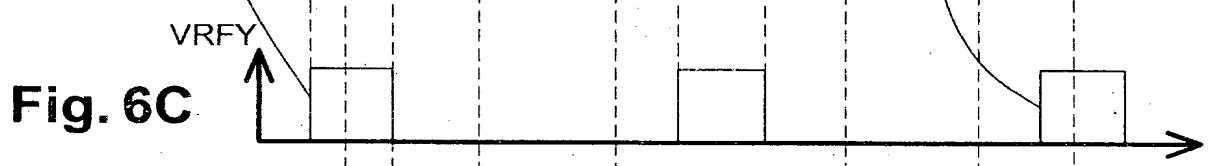
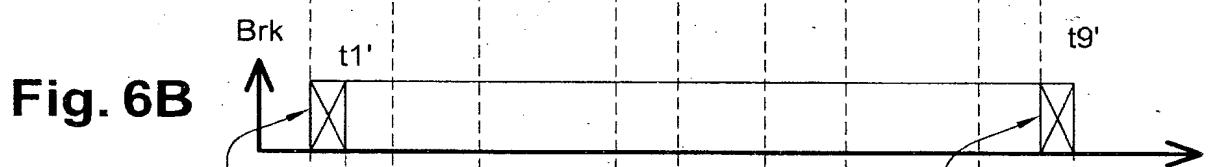
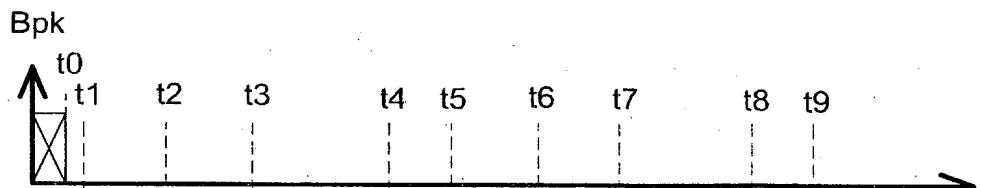
VPP

fig.6F

DPK

fig.6G





## DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

## BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

DÉSIGNATION D'INVENTEUR(S) Page N° 1.../1...

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W / 260899

Vos références pour ce dossier ( facultatif )	100208 FR		
N° D'ENREGISTREMENT NATIONAL	0302398		
<b>TITRE DE L'INVENTION</b> (200 caractères ou espaces maximum) Mémoire Flash comprenant un algorithme de vérification d'effacement intégré dans un algorithme de programmation			
<b>LE(S) DEMANDEUR(S) :</b> MARCHAND André OMNIPAT 24, Place des Martyrs de la Résistance 13100 AIX EN PROVENCE			
<b>DESIGNE(NT) EN TANT QU'INVENTEUR(S) :</b> (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		ZINK	
Prénoms		Sébastien	
Adresse	Rue	C/O OMNIPAT 24 Place des Martyrs de la Résistance	
	Code postal et ville	13100	AIX EN PROVENCE
Société d'appartenance ( facultatif )			
Nom		LECONTE	
Prénoms		Bruno	
Adresse	Rue	C/O OMNIPAT 24 Place des Martyrs de la Résistance	
	Code postal et ville	13100	AIX EN PROVENCE
Société d'appartenance ( facultatif )			
Nom		CAVALERI	
Prénoms		Paola	
Adresse	Rue	C/O OMNIPAT 24 Place des Martyrs de la Résistance	
	Code postal et ville	13100	AIX EN PROVENCE
Société d'appartenance ( facultatif )			
DATE ET SIGNATURE(S)			
DU (DES) DEMANDEUR(S)			
OU DU MANDATAIRE			
(Nom et qualité du signataire)			
Aix en Provence, le 25 février 2003			
MARCHAND André - CPI N° 95 0303			
OMNIPAT			

**THIS PAGE BLANK (USPTO)**